

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-20350

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

G 0 6 F 15/347

識別記号

庁内整理番号

F I

技術表示箇所

B 6798-5L

D 6798-5L

審査請求 未請求 請求項の数1(全11頁)

(21)出願番号

特願平3-195968

(22)出願日

平成3年(1991)7月10日

(71)出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72)発明者 磯部 洋子

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

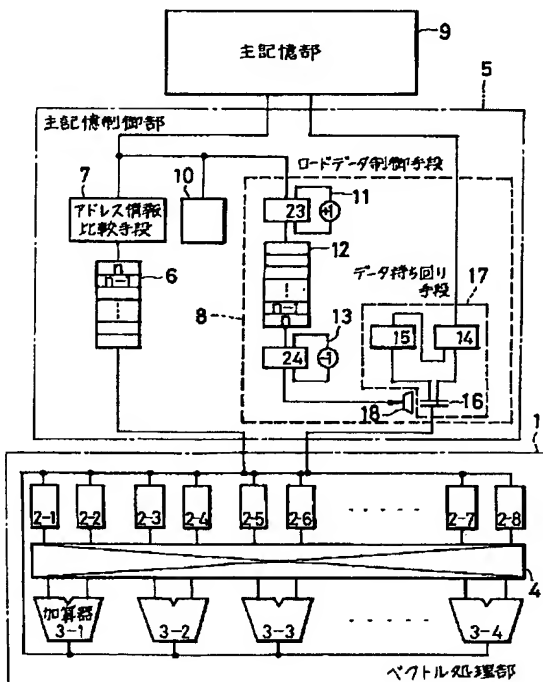
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 ベクトル処理装置

(57)【要約】

【目的】 リストベクトル命令を実行する場合、主記憶部をアクセスするアドレスが一致したときの処理を高速化する。

【構成】 主記憶部9をアクセスするアドレスが連続して同一であることがアドレス比較手段7により検出されると、最先のアドレスのみ主記憶部9へ送り、それに続く同一アドレスはアドレス情報削除手段10で削除する。主記憶部9から読出されたデータはデータ持ち回り手段17で保持して、アドレスが同一の場合に、順次この保持データをベクトル処理部1へ送出する。



【特許請求の範囲】

【請求項1】 データを格納するためのベクトルレジスタ及びこのベクトルレジスタの格納データについて演算処理をなす演算手段を有するベクトル処理部と、記憶単位である複数のバンクにより構成された主記憶部とを含み、前記ベクトル処理部から送出されるデータをアドレスとして前記主記憶部をアクセスする機能を有するベクトル処理装置であって、前記アクセスアドレスのうち連続するアドレスが同一であるか否かを検出する手段と、前記連続するアドレスが同一であることが検出されたとき、前記連続するアドレスのうち最先のアドレスについて前記主記憶部をアクセスする手段と、このアクセスにより前記主記憶部から得られたデータを前記ベクトル処理部へ送出すると共にこのデータを保持する手段と、この保持データを、前記最先のアドレスに続く同一アドレスに対応して順次前記ベクトル処理部へ送出する手段とを含むことを特徴とするベクトル処理装置。

【発明の詳細な説明】

【0001】

【技術分野】 本発明はベクトル処理装置に関し、特にリストベクトルを高速に実行するベクトル処理装置に関する。

【0002】

【従来技術】 従来、ベクトル処理部内のベクトルレジスタに格納されているデータをアドレスとして記憶部をア

$$X(I) = A(C(I)) + B(C(I)) \quad (I \text{ は整数})$$

ここで、ベクトルレジスタ2-1にはC(I)が格納されていてデータはオール0であると仮定する。

【0007】 図中、タイミング1はアドレスが格納されているベクトルレジスタ2-1の読出しを示し、タイミング2はベクトルレジスタ2-1の内容に従い主記憶制御部5を介して主記憶部9をアクセスするタイミングを示し、タイミング3は主記憶部9からロードしたデータを主記憶制御部9を介してベクトルレジスタに書込むタイミングを示す。

【0008】 タイミング4は加算器3-1に被演算データを入力するタイミングを、タイミング5は加算結果をベクトルレジスタに書込むタイミングを夫々示す。更に、タイミング6では、演算結果をベクトルレジスタから読出してタイミング7に主記憶制御部5を介して主記憶部9に結果を格納する。

【0009】 まず、A(C(I))をロードするために、C(I)が格納されているベクトルレジスタ2-1を読出し(タイミング1-A)、C(I)をアドレスとして主記憶制御部5を介して主記憶部9をアクセスする(タイミング2-A)。

【0010】 このとき、C(I)にはオール0が格納されているために、同一アドレスをアクセスすることになるので、1個のデータのロードにTcかかる。従って、処理要素数をNとすると主記憶部9をアクセスしている

アクセスするリストベクトルを実行する際に、ベクトルレジスタに格納されているデータに関係なく必ず主記憶部をアクセスしている。

【0003】 一般に、あるバンク(記憶単位)内のデータをアクセスすると、次に同一バンク内のデータがアクセス可能になるには一定の時間がかかる。ここではこの時間のことをサイクルタイムと呼ぶ。

【0004】 例えば、ベクトルレジスタに格納されているデータが全て同じ場合には、アドレスが一致するので当然同じバンクを何回もアクセスすることになる。従って、処理要素数がN、サイクルタイムがTcとすると全てのデータをアクセスするには(N * Tc)時間がかかることになる。

【0005】 従来のこの様なベクトル処理装置の例を図4に示す。図4に示すような構成において、ベクトルレジスタ2-1~2-8はクロスバー4を経由して加算器3-1を含む各演算器3-1~3-4と接続されている。演算器3-1~3-4の演算結果は任意のベクトルレジスタ2-1~2-8に格納することができ、ベクトルレジスタ2-1~2-8は主記憶制御部5を介して主記憶部9にデータを送出したり、主記憶部9からデータを受取ったりできるようになっている。

【0006】 次式のような演算を例にとってリストベクトルの動作の説明を図5のタイミングチャートを参照して説明する。

時間はN * Tcになる。次に主記憶部9をアクセスして得たデータを主記憶部5を介してベクトルレジスタ2-2に書込む(タイミング3-A)。

【0011】 同様に、B(C(I))をロードするために、タイミング1-BでC(I)が格納されているベクトルレジスタ2-1を読出し、タイミング2-BではC(I)をアドレスとして主記憶部9をアクセスして、タイミング3-Bでアクセスしたデータを主記憶制御部5を介してベクトルレジスタ2-3に書込む(タイミング3-B)。

【0012】 リストベクトルロードを実行して求めたA(C(I))とB(C(I))とを加算器3-1に入力して(タイミング4-X)加算を行い、結果をベクトルレジスタ2-4に書込む(タイミング5-X)。次に、加算結果の格納されているベクトルレジスタ2-4を読出して(タイミング6-S)、この結果を主記憶部9にストアする(タイミング7-S)。

【0013】 また、次式のような演算を例にとって動作を図5のタイミングチャートを参照して説明する。

$$X(C(I)) = A(I) + B(I)$$

【0014】 図中、タイミング8はベクトルロードを行うためのアドレスを主記憶部9に送出するタイミングを示す。タイミング9は主記憶部9からロードしたデータをベクトルレジスタに書込むタイミングを示す。

3

【0015】タイミング10はストアすべきデータが格納されているベクトルレジスタ2-7とアドレスが格納されているベクトルレジスタ2-1を同時に読出すタイミングを、タイミング11は読出されたアドレスに従って主記憶部9をアクセスしデータを主記憶部9にストアするタイミングを夫々示す（タイミング4、5は上述したものと同一）。

【0016】まず、A(I)をロードするために、A(I)をアクセスするためのアドレスを主記憶部9に対して送出し（タイミング8-A）、ロードしたデータをベクトルレジスタ2-5に書込む（タイミング9-A）。同様に、B(I)をベクトルレジスタ2-6にロードする（タイミング8-B、タイミング9-B）。

【0017】A(I)とB(I)とを被演算データとして加算器3-1に入力して（タイミング4-X）演算を行い、結果をベクトルレジスタ2-7に書込む（タイミング5-X）。

【0018】次に、アドレスデータC(I)が格納されているベクトルレジスタ2-1とストアすべきデータが格納されているベクトルレジスタ2-7とを同時に読出し（タイミング10-S）、C(I)をアドレスとして主記憶部9をアクセスしてストアデータを主記憶部9に書込む（タイミング11-S）。

【0019】このとき、C(I)にはオール0が格納されているために、同一アドレスをアクセスするので、1個のデータのストアにTcかかる。従って、処理要素数をNとすると主記憶部9をアクセスしている時間はN * Tcになる。

【0020】上述した従来のベクトル処理装置では、リストベクトル命令を実行するためのアドレスが連続して同一の場合でも、各データをロード、ストアするときに、毎回主記憶部をアクセスするようになっている。同一バンクを繰返しアクセスする場合には、サイクルタイム毎に1つのデータしかアクセスすることができないので、同一アドレスが続いた場合の主記憶部アクセスに時間がかかるという欠点がある。

【0021】

【発明の目的】本発明の目的は、リストベクトル命令実行時に、主記憶部をアクセスするアドレスが連続して一致したときには、主記憶部をアクセスしないようにして処理の高速化を図ったベクトル処理装置を提供することである。

【0022】

【発明の構成】本発明によれば、データを格納するためのベクトルレジスタ及びこのベクトルレジスタの格納データについて演算処理をなす演算手段を有するベクトル処理部と、記憶単位である複数のバンクにより構成された主記憶部とを含み、前記ベクトル処理部から送出されるデータをアドレスとして前記主記憶部をアクセスする機能を有するベクトル処理装置であって、前記アクセス

4

アドレスのうち連続するアドレスが同一であるか否かを検出する手段と、前記連続するアドレスが同一であることが検出されたとき、前記連続するアドレスのうち最先のアドレスについて前記主記憶部をアクセスする手段と、このアクセスにより前記主記憶部から得られたデータを前記ベクトル処理部へ送出すると共にこのデータを保持する手段と、この保持データを、前記最先のアドレスに続く同一アドレスに対応して順次前記ベクトル処理部へ送出する手段とを含むことを特徴とするベクトル処理装置が得られる。

【0023】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0024】図1は本発明の一実施例を示す構成図である。図中1はベクトル処理部であり、1つ以上のベクトルレジスタ2-1〜2-8を含み、ベクトルレジスタ2-1〜2-8はクロスバー4を経由して各演算器3-1〜3-4と接続されている。

【0025】演算器3-1〜3-4の演算結果は任意のベクトルレジスタ2-1〜2-8に格納することができ、ベクトルレジスタ2-1〜2-8は後述する主記憶制御部5を介して主記憶部9にデータを送ったり主記憶部9からデータを受取ったりできるようになっている。

【0026】主記憶制御部5内にはアドレス情報登録手段6とアドレス情報比較手段7とロードデータ制御手段8とアドレス情報削除手段10を含む。アドレス情報登録手段6は複数段で構成されていてベクトル処理部1から送られてくる主記憶部9をアクセスするためのアドレスを登録する。

【0027】アドレス情報比較手段7はアドレス情報登録手段6のn段目が保持しているアドレス情報とn-1段目が保持しているアドレス情報とを比較して結果を出力する。ロード処理の際に、両者のアドレスが一致した場合はアドレスが一致したという信号を後述するロードデータ制御手段8に対して送出し、このアドレス情報は主記憶部9には送出不し。また、両者のアドレスが一致しない場合はこのアドレス情報を主記憶部9に対して送出し、ロードデータ制御手段に対してはアドレスが一致しないという信号を送出する。

【0028】また、ストア処理の際に、両者のアドレスが一致した場合はアドレス情報登録手段6のn段目のアドレス情報をアドレス情報削除手段10に送出し、主記憶部9に対してはこのアドレスを送出不し。アドレス情報削除手段10は送られてきたアドレス情報を消滅する。

【0029】ロードデータ制御手段8は、一致回数カウンタ手段11と一致回数格納手段12と一致回数減算手段13とデータ持ち回り手段17とを含む。一致回数カウンタ手段11内の加算レジスタ23には初期値として“0”が格納されている。

5

【0030】一致回数カウント手段11はアドレス情報比較手段7よりアドレスが一致したという信号を受取ると、加算レジスタ23の値を+1加算し、一致しないという信号を受取ると、一致回数格納手段12に加算レジスタ23の内容を送るとともに、“0”にセットする。

【0031】一致回数格納手段12は一致回数減算手段13内の減算レジスタ24が“0”の時に一致回数を送出する。減算レジスタ24はチェック回路18に対してデータを送出した時に-1加算する。

【0032】データ持ち回り手段17はアドレス情報比較手段7から送られたアドレス情報で主記憶部9をアクセスして得たデータをレジスタ14に格納する。レジスタ14はセクタ16にデータを送ると共にレジスタ15に対してもデータを送る。セクタ16はチェック回路18によってレジスタ14とレジスタ15に格納されているデータのうちどちらか片方をベクトル処理部1に対して送出する。

【0033】図2及び図3は本発明の他の実施例を夫々示す構成図であるが、図1との違いはロード処理時のアドレス情報比較手段7の出力結果とロードデータ制御手段8の2箇所であり、よって図2、3では図1との違いのみを説明する。

【0034】図2において、アドレス情報比較手段7はアドレス情報登録手段6のn段目が保持しているアドレス情報とn-1段目が保持しているアドレス情報とを比較し、アドレスが一致していた場合はn-1段目のアドレス情報を主記憶部9には送出しないが、ロードデータ制御手段8内の第2のアドレス情報登録手段20に対しては全アドレス情報を送出する。

【0035】第2のアドレス情報比較手段21は第2のアドレス情報登録手段20のn段目が保持しているアドレス情報とn-1段目が保持しているアドレス情報とを比較し、アドレスが一致した場合はチェック回路18に“1”を送出し、アドレスが一致しない場合はチェック回路18に“0”を送出する。

【0036】データ持ち回り手段17内のセクタ16はチェック回路18によってレジスタ14とレジスタ15に格納されているデータのうちどちらか片方をベクトル処理部1に対して送出する。

【0037】図3において、アドレス情報比較手段7はアドレス情報登録手段6のn段目が保持しているアドレス情報とn-1段目が保持しているアドレス情報とを比較し、ロードデータ制御手段8内の比較結果格納手段22に対してアドレスが一致した場合は“1”を、アドレスが一致しない場合は“0”を夫々送出する。

【0038】比較結果格納手段22はチェック回路18に対して比較結果を送り、この結果によりセクタ16はレジスタ14とレジスタ15とに格納されているデータのうちどちらか片方をベクトル処理部1に対して送出する。

6

【0039】次に、図1～図3に示されているロードデータ制御手段8について、ベクトル処理部1から送られてくるアドレスデータが(1, 1, 1, 2, 2, 3, 4, 4, 4, 4, ……)のようなデータであると仮定して説明する。

【0040】図7、8は図1におけるロードデータ制御手段8の動作を説明する図であり、図7は図2、3の実施例にも共通である。

【0041】アドレス情報比較手段7は一致回数カウント手段11に対して(不一致, 一致, 一致, 不一致, 一致, 不一致, 不一致, 一致, 一致, 一致, ……)という信号を送る。図7に示すようにアドレス情報比較手段7でアドレスの不一致が判るとアドレス情報を主記憶部9に送出するが、アドレスが一致した場合はアドレス情報を主記憶部9に対して送出しないので、クロックa-d-f-gのような間隔で主記憶部9にアドレス情報を送出することになる。

【0042】主記憶部9はアドレス情報を受け取ると、一定時間後にレジスタ14に対してロードデータを送出する(クロックk-n-p-qのタイミング)。レジスタ14はセクタ16にロードデータを送ると共にレジスタ15にもデータを送る。

【0043】一致回数カウント手段11は不一致信号を受取ると、加算レジスタ23の値を“0”にし、一致信号を受取ると、+1カウンタで一致回数を算出する。その結果、一致回数格納手段12には(2, 1, 0, 3, ……)がセットされる。

【0044】まず、減算レジスタ24は“2”を読出すと、次のクロックでチェック回路18に“2”を送ると同時にこのデータを-1カウンタで減算する。減算レジスタ24が“0”になりチェック回路18にデータを送ると同時に、一致回数格納手段12は次のデータ(1)を減算レジスタ24に送出する。

【0045】セクタ16は、チェック回路18内のデータが“0”の時は、レジスタ14に格納されているデータをロードデータとしてベクトル処理部1に送出する。また、チェック回路18内のデータが“1”の時は、レジスタ15に格納されているデータをロードデータとしてベクトル処理部1に送出する。

【0046】図8には、チェック回路18内のデータとセクタ16が選択するロードデータの関係を示す。尚、図において1'～4'はアドレス1～4に対するロードデータを示している。

【0047】次に、図2におけるロードデータ制御手段8を説明する。アドレス情報比較手段7はアドレスの一致/不一致に限らず全てのアドレス情報を第2のアドレス情報登録手段20に送出するので、第2のアドレス情報登録手段20には、(1, 1, 1, 2, 2, 3, 4, 4, 4, 4, ……)が登録される。

【0048】このアドレス情報を基に、第2のアドレス

情報比較手段21は、アドレスが一致した場合は“1”を、アドレスが一致しない場合は“0”を、チェック回路18に夫々送出する。セクタ16はチェック回路18内のデータが“0”の時はレジスタ14に格納されているデータを、チェック回路18内のデータが“1”の時はレジスタ15に格納されているデータを夫々ロードデータとしてベクトル処理部1に送出する。図9にチェック回路18内のデータとセクタ16が選択するロードデータとの関係を示す。

【0049】最後に、図3におけるロードデータ制御手段8を説明する。アドレス情報比較手段7はアドレスが一致した場合には、“1”を、アドレスが一致しない場

$$X(I) = A(C(I)) + B(C(I)) \quad (I \text{ は整数})$$

ここで、ベクトルレジスタ2-1にはC(I)が格納されていてデータはオール0であると仮定する。

【0052】図中、タイミング1はアドレスが格納されているベクトルレジスタ2-1の読出しを示し、タイミング2はベクトルレジスタ2-1の内容に従い主記憶制御部5を介して主記憶部9をアクセスするタイミングを示し、タイミング3は主記憶部9からロードしたデータを主記憶制御部9を介してベクトルレジスタに書込むタイミングを示す。

【0053】タイミング4は加算器3-1に被演算データを入力するタイミングを、タイミング5は加算結果をベクトルレジスタに書込むタイミングを示す。更に、タイミング6では、演算結果をベクトルレジスタから読出してタイミング7で主記憶制御部5を介して主記憶部9に結果を格納する。

【0054】まず、A(C(I))をロードするために、C(I)が格納されているベクトルレジスタ2-1を
40 読出し(タイミング1-A)、C(I)の中でアドレス情報比較手段7によってアドレス不一致と検出されたアドレス情報のみを主記憶部9に送出する(タイミング2-A)。次に、セクタ16で選択されたロードデータをベクトルレジスタ2-2に書込む(タイミング3-A)。

【0055】同様に、B(C(I))をロードするために、タイミング1-BでC(I)が格納されているベクトルレジスタ2-1を
40 読出し、タイミング2-BではC(I)の中でアドレス情報比較手段7によってアドレス不一致と検出されたアドレス情報のみを主記憶部9に送出し、セクタ16によって選択されたロードデータをベクトルレジスタ2-3に書込む(タイミング3-B)。

【0056】リストベクトルロードを実行して求めたA(C(I))とB(C(I))とを加算器3-1に入力して(タイミング4-X)加算を行い、結果をベクトルレジスタ2-4に書込む(タイミング5-X)。次に、加算結果が格納されているベクトルレジスタ2-4を
50 読出して(タイミング6-S)結果を主記憶部9にストアする(タイミング7-S)。

合には“0”を比較結果格納手段22に夫々送出する。比較結果格納手段22はアドレス情報比較手段7から送られてきた比較結果をチェック回路18に送出する。

【0050】セクタ16はチェック回路18内のデータが“0”の時はレジスタ14に格納されているデータを、チェック回路18内のデータが“1”の時はレジスタ15に格納されているデータを夫々ロードデータとしてベクトル処理部1に送出する。図9にチェック回路18内のデータとセクタ16が選択するロードデータの
10 関係を示す。

【0051】次式のような演算を例にとってリストベクトルの動作タイミングチャートを図6に示す。

【0057】また、次式のような演算を例にとってその動作をタイミングチャートを同じく図6に示す。

$$X(C(I)) = A(I) + B(I)$$

図中、タイミング8はベクトルロードを行うためのアドレスを主記憶部9に送出するタイミングを示す。タイミング9は主記憶部9からロードしたデータをベクトルレジスタに書込むタイミングを示す。

【0058】タイミング10はストアすべきデータが格納されているベクトルレジスタ2-7とアドレスが格納されているベクトルレジスタ2-1を同時に読出す
50 タイミングを、タイミング11は読出されたアドレスに従って主記憶部9をアクセスしデータを主記憶部9にストアするタイミングを示す(タイミング4、5は上述したものと同じ)。

【0059】まず、A(I)をロードするために、A(I)をアクセスするためのアドレスを主記憶部9に対して
50 送出し(タイミング8-A)、ロードしたデータをベクトルレジスタ2-5に書込む(タイミング9-A)。同様に、B(I)をベクトルレジスタ2-6にロードする(タイミング8-B、タイミング9-B)。

【0060】A(I)とB(I)とを被演算データとして加算器3-1に入力して(タイミング4-X)演算を行い、結果をベクトルレジスタ2-7に書込む(タイミング5-X)。次に、アドレスデータC(I)が格納されているベクトルレジスタ2-1とストアすべきデータが格納されているベクトルレジスタ2-7とを同時に読出す
50 (タイミング10-S)。

【0061】この時、C(I)の中でアドレス情報比較手段7によって、アドレス削除手段10で削除されたアドレス情報以外を主記憶部9に送出しこのアドレスに対応するストアデータを主記憶部9に書込む(タイミング11-S)。

【0062】

【発明の効果】以上説明したように本発明によれば、リストベクトルロードの実行の際、アドレスデータが一致する場合に一致したアドレス情報は主記憶部へは送出し
50 ないので、主記憶部へのアクセスが減ることになり、よ

ってリストベクトルロードを高速に処理することができる。

【0063】また、リストベクトルストアの実行の際には、一致しているアドレスの中で最後のアドレスとストアデータのみを主記憶部へ送出するので主記憶部へのアクセスが減るため、リストベクトルストアを高速に処理することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】本発明の他の実施例のブロック図である。

【図3】本発明の更に他の実施例のブロック図である。

【図4】従来のベクトル処理装置の概略を示すブロック図である。

【図5】従来のベクトル処理装置の動作を示すタイミングチャートである。

【図6】本発明の実施例の動作を示すタイミングチャートである。

【図7】本発明の実施例の動作において、主記憶部アクセスのタイミングを示す図である。

【図8】セクタ16の選択条件の一例を示す図である。

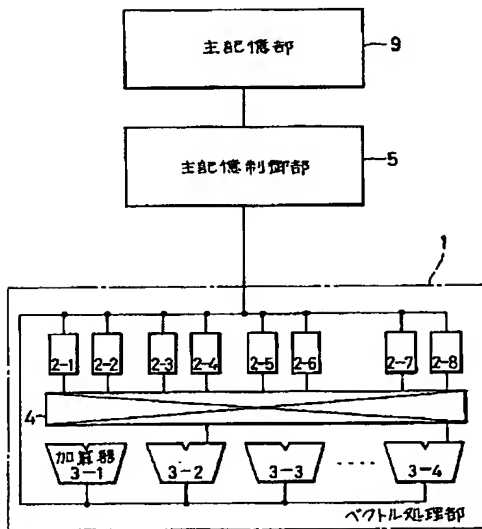
【図9】セクタ16の選択条件の他の例を示す図である。

る。

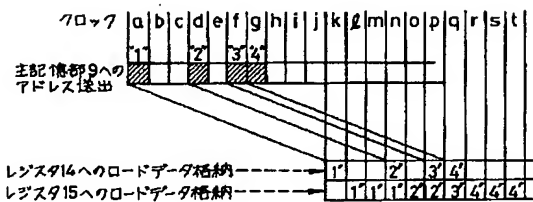
【符号の説明】

- 1 ベクトル処理部
- 2-1～2-8 ベクトルレジスタ
- 3-1～3-4 演算器
- 5 主記憶制御部
- 6, 20 アドレス情報登録手段
- 7, 21 アドレス情報比較手段
- 8 ロードデータ制御手段
- 10 主記憶部
- 10 アドレス情報削除手段
- 11 一致回数カウント手段
- 12 一致回数格納手段
- 13 一致回数減算手段
- 14, 15 レジスタ
- 16 セクタ
- 17 データ持ち回り手段
- 18 チェック回路
- 22 比較結果格納手段
- 23 加算レジスタ
- 24 減算レジスタ

【図4】



【図7】



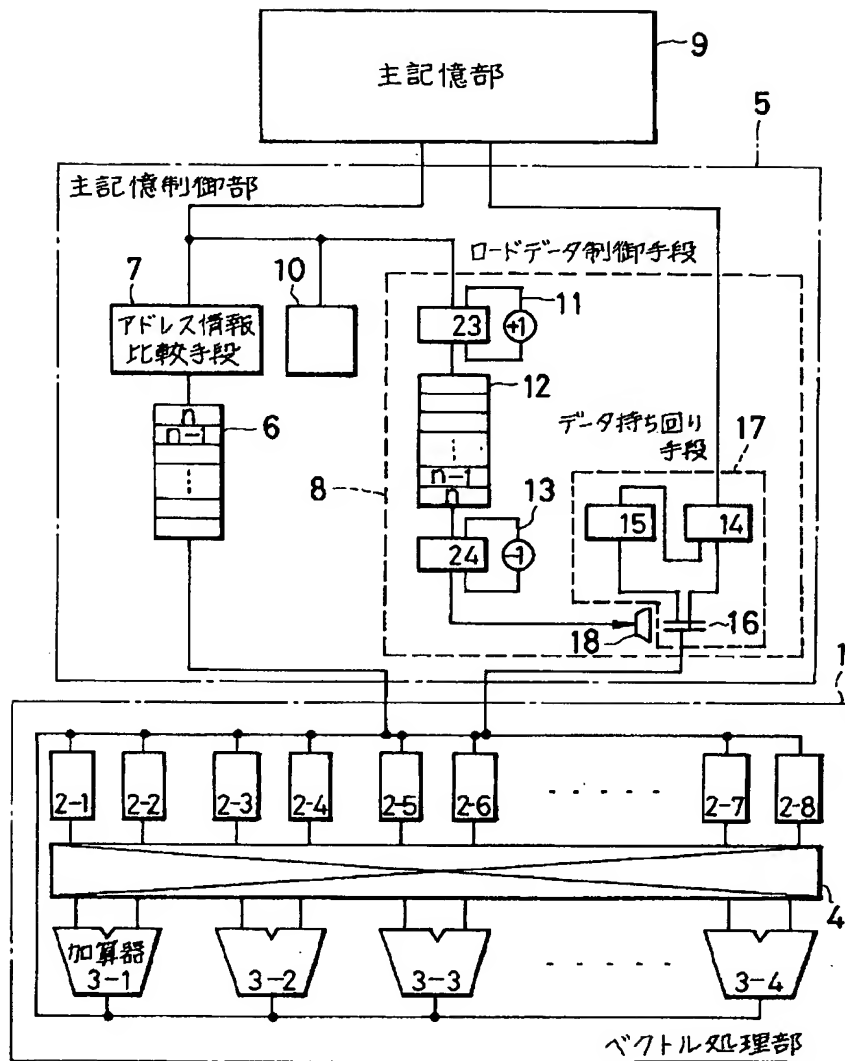
【図8】

セクタ	アドレス	レジスタ14内データ	レジスタ15内データ	レジスタ16内データ
k	0	1'	X	1'
l	2	X	1'	1'
m	1	X	1'	1'
n	0	2'	1'	2'
o	1	X	2'	2'
p	0	3'	2'	3'
q	0	4'	3'	4'
r	3	X	4'	4'
s	2	X	4'	4'
t	1	X	4'	4'

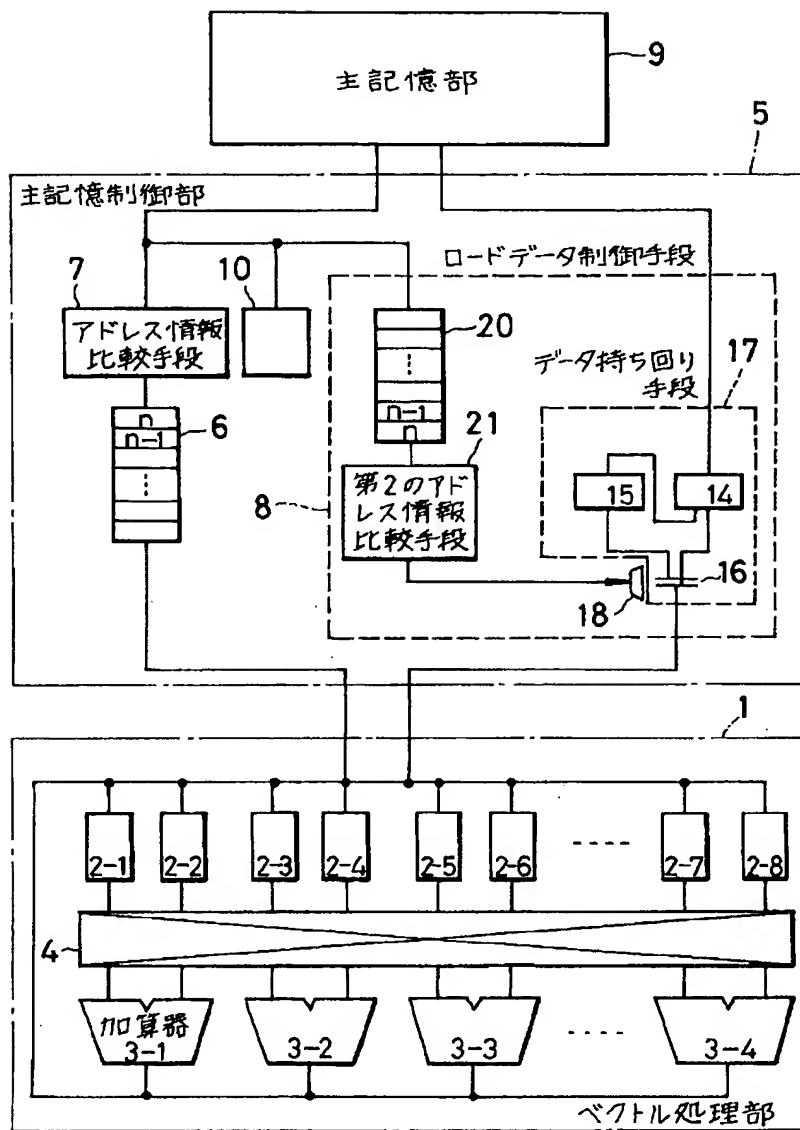
【図9】

セクタ	アドレス	レジスタ14内データ	レジスタ15内データ	レジスタ16内データ
k	0	1'	X	1'
l	1	X	1'	1'
m	1	X	1'	1'
n	0	2'	1'	2'
o	1	X	2'	2'
p	0	3'	2'	3'
q	0	4'	3'	4'
r	1	X	4'	4'
s	1	X	4'	4'
t	1	X	4'	4'

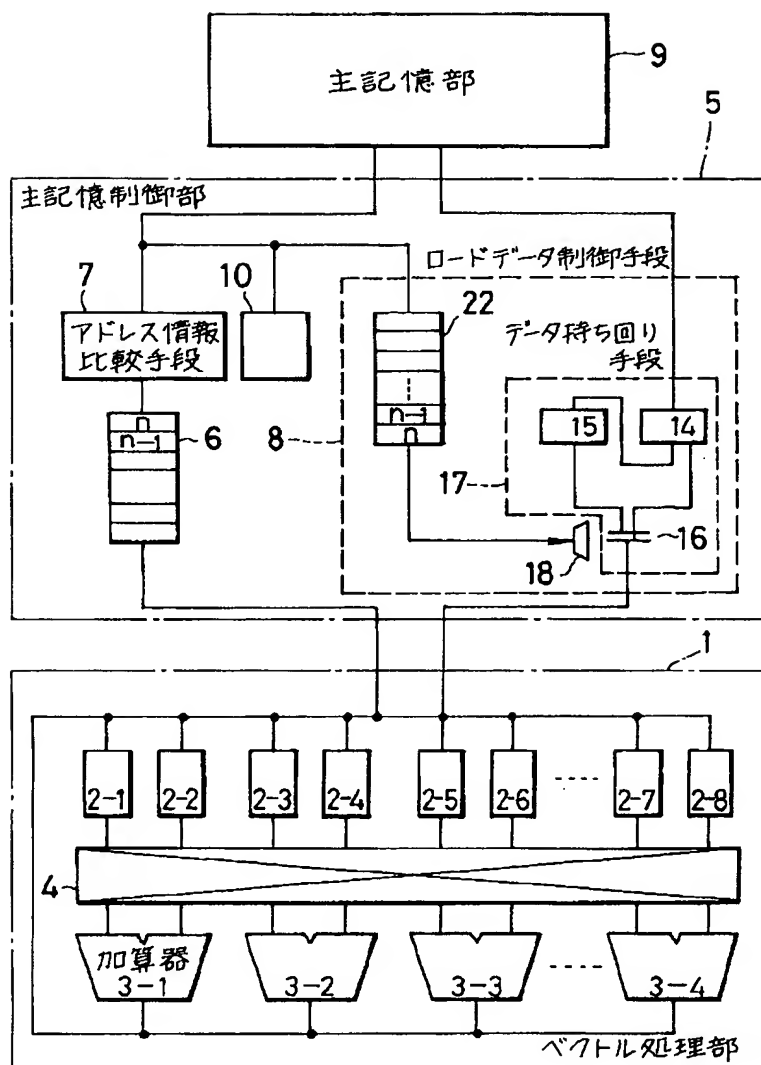
【図 1】



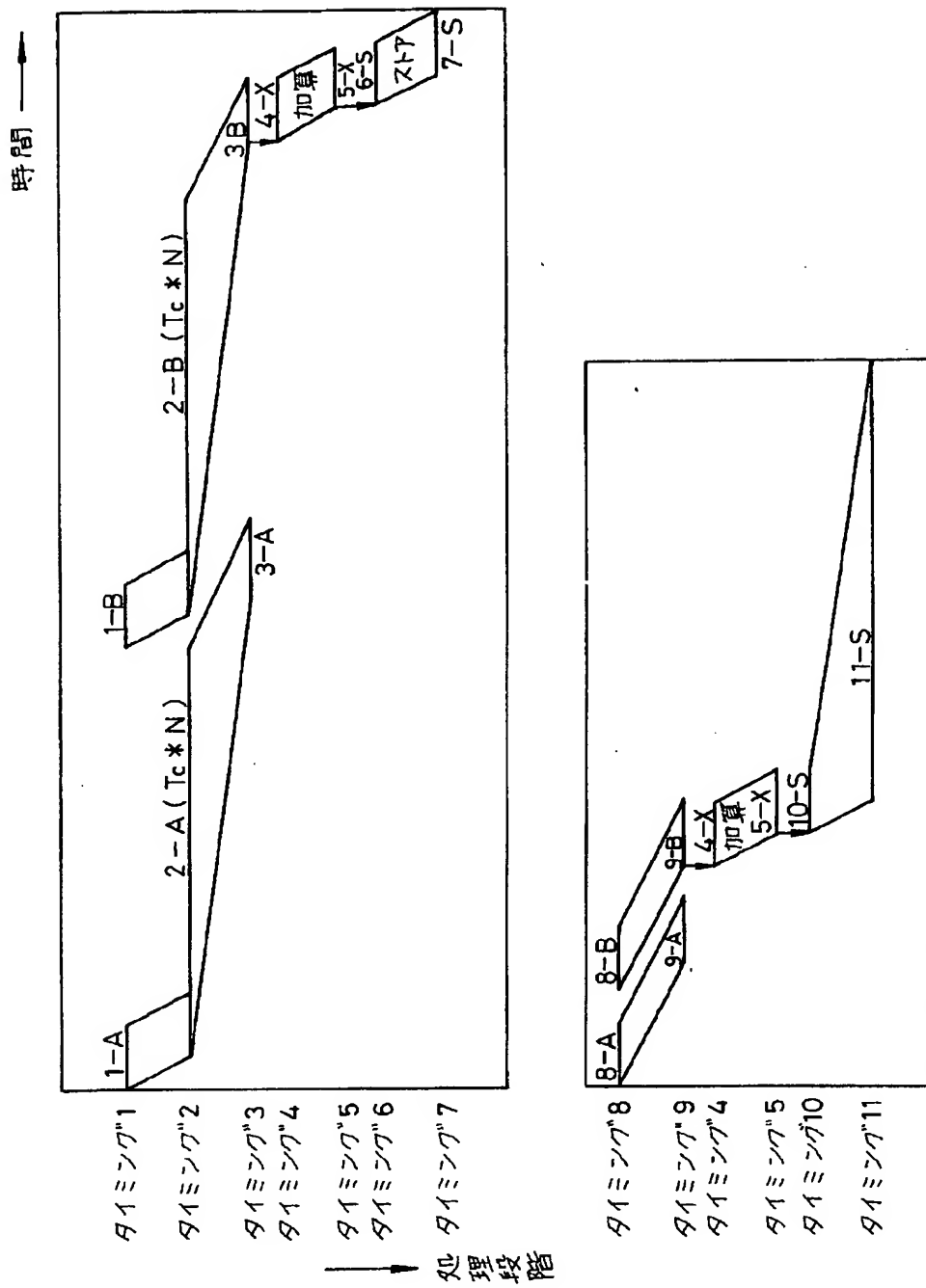
【図2】



【図3】



【図5】



【図6】

